

Série d'exercices #10

IFT-2245

15 mars 2018

10.1 Ordonnancement et page-faults

Un fils d'exécution (thread) peut être soit *prêt*, *en exécution* ou *bloqué* (modèle simplifié).

Soit un fil d'exécution dans l'état *en exécution* :

1. Y a-t-il un changement d'état lors d'un page fault ? Si oui, quel est le nouvel état ?
2. Y a-t-il un changement d'état s'il y a un TLB miss ? Si oui, quel est le nouvel état ?
3. Y a-t-il un changement d'état lors de la résolution d'une adresse par la table de pages ? Si oui quel est le nouvel état ?

10.2 Temps d'accès effectif

Soit un système avec pagination à la demande où la table de pages est dans des registres. Il faut 8ms pour gérer un page fault s'il y a une frame vide disponible ou si la page remplacée n'est pas modifiée, et 20ms si la page remplacée est modifiée. L'accès mémoire en soit prend 100ns. Supposons de plus que les pages à remplacer sont modifiées 70% du temps. Quel est le taux de page fault maximal acceptable pour garder le temps d'accès effectif (*effective access time*) en dessous de 200ns.

10.3 Accès mémoires

Soit un processeur avec des adresses logiques et physiques de 64bit, des pages de 16KBytes, et une pagination basée sur un table de pages hiérarchique.

1. Deviner combien de niveaux il va y avoir dans la table des pages hiérarchique, sachant qu'en réalité l'espace logique accessible est limité à 47bits d'adresses.
2. Décrire comment les 64bit d'adresses logique sont divisés.
3. Écrire en pseudo code comment calculer l'adresse physique qui correspond à une adresse logique sur la base de chacune de ces parties.
4. Décrire les différentes étapes que va suivre le processeur pour lire un mot à une adresse logique donnée (couvrir les différents cas possibles).

5. Décrire les différents problèmes qui peuvent survenir, comment ils sont passés du processeur au système d'exploitation, et comment le système d'exploitation gère chaque cas.